

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232513  
 (43)Date of publication of application : 05.09.1997

(51)Int.CI. H01L 27/00  
 H01L 25/065  
 H01L 25/07  
 H01L 25/18

(21)Application number : 08-067898 (71)Applicant : ATR HIKARI DENPA TSUSHIN  
 KENKYUSHO:KK

(22)Date of filing : 25.03.1996 (72)Inventor : IMAOKA SHUNICHI  
 IMAI NOBUAKI

(30)Priority

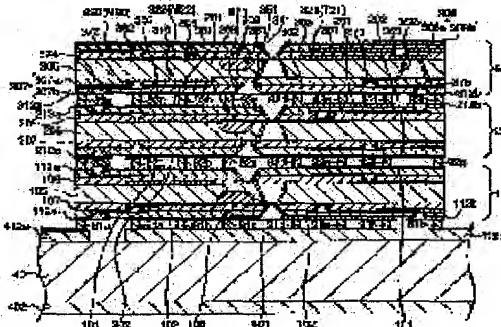
Priority number : 07329057 Priority date : 18.12.1995 Priority country : JP

**(54) SEMICONDUCTOR DEVICE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To make it possible to prevent interference among circuits and to provide circuits with high density by forming surface ground conductors on respective surfaces of insulating films so as to cover the surfaces of the insulating films except for portions where connection electrodes are formed.

**SOLUTION:** Semiconductor chips 1, 2 and 3 comprise ground conductors 101, 102, ground conductors 201, 202 and ground conductors 301, 302, respectively. Due to this, while preventing interference among circuits provided on the semiconductor chips 1, 2 and 3, distances between the semiconductor chips can be sufficiently short. Lengths of bumps 82a, 83a and 83b can be thereby sufficiently shortened in the height direction. As a result, it is possible to greatly reduce the inductance of the bumps 82a, 83a and 83b or parasitic inductance, to form multiple layers without deteriorating the normal operation of the circuits and to make the semiconductor device thinner. Thus, it is possible to prevent interference among the circuits formed on the semiconductor device and outer circuits.



**LEGAL STATUS**

[Date of request for examination] 25.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2905736

4

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-232513

(43)公開日 平成9年(1997)9月5日

(51)Int.Cl. <sup>8</sup> H 01 L 27/00	識別記号 301	序内整理番号 F I H 01 L 27/00	技術表示箇所 301 W 301 B B
25/085		25/08	
25/07			
25/18			

審査請求 有 請求項の数9 OL (全13頁)

(21)出願番号 特願平8-67898

(22)出願日 平成8年(1996)3月25日

(31)優先権主張番号 特願平7-329057

(32)優先日 平7(1995)12月18日

(33)優先権主張国 日本 (JP)

(71)出願人 000127662

株式会社エイ・ティ・アール光電波通信研

究所

京都府相楽郡精華町大字乾谷小字三平谷5

番地

(72)発明者 今岡 俊一

京都府相楽郡精華町大字乾谷小字三平谷5

番地

株式会社エイ・ティ・アール光電波

通信研究所内

(72)発明者 今井 伸明

京都府相楽郡精華町大字乾谷小字三平谷5

番地

株式会社エイ・ティ・アール光電波

通信研究所内

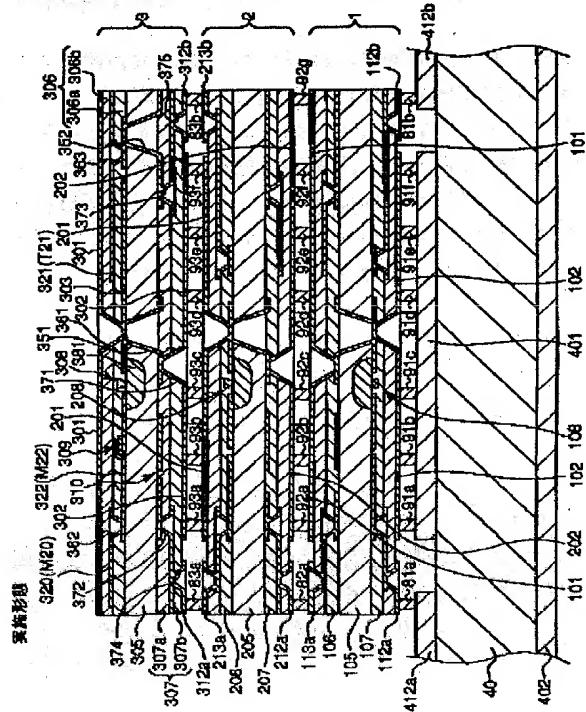
(74)代理人 弁理士 青山 葦 (外2名)

## (54)【発明の名称】 半導体装置

## (57)【要約】

【課題】 従来例に比較して、積層された半導体チップの各回路間の干渉を防止でき、かつより高い周波数で動作する回路を高密度に構成することができ、しかも薄い半導体装置を提供する。

【解決手段】 2つの面のうちの少なくとも一方にトランジスタを含む回路が形成された半導体基板と、半導体基板の2つの面にそれぞれ形成された絶縁膜と、絶縁膜の表面に形成され上記回路に接続された接続用電極とを備え、かつ接続用電極が形成された部分を除いて上記絶縁膜の表面を覆うように、上記各絶縁膜の表面に接地導体が形成された半導体装置を、各半導体装置の各接地導体を互いに接続する接続手段を用いて各半導体基板の厚さ方向に複数個積層した。



## 【特許請求の範囲】

【請求項1】 互いに対向する2つの面を有し、上記2つの面のうちの少なくとも一方にトランジスタを含む回路が形成された半導体基板と、

上記半導体基板の2つの面にそれぞれ形成された絶縁膜と、

上記絶縁膜の表面に形成され、上記回路に接続された接続用電極とを備えた半導体装置であって、

上記接続用電極が形成された部分を除いて上記絶縁膜の表面を覆うように、上記各絶縁膜の表面に表面接地導体を形成したことを特徴とする半導体装置。

【請求項2】 上記絶縁膜には厚さ方向に貫通するバイアホールが形成され、上記バイアホールにバイアホール導体が形成され、上記トランジスタの複数の電極のうちの1つの電極は、上記回路が形成された面上に上記トランジスタに近接するように形成された内部接地導体と、上記バイアホール導体とを介して上記表面接地導体に接続されたことを特徴とする請求項1記載の半導体装置。

【請求項3】 上記バイアホール導体及び上記表面接地導体の各厚さを、上記内部接地導体の厚さより厚くしたことを特徴とする請求項2記載の半導体装置。

【請求項4】 上記絶縁膜には厚さ方向に貫通するバイアホールが形成され、上記バイアホールにバイアホール導体が形成され、上記トランジスタの複数の電極のうちの1つの電極は、上記バイアホール導体を介して上記表面接地導体に接続されたことを特徴とする請求項1記載の半導体装置。

【請求項5】 上記バイアホール導体及び上記表面接地導体の各厚さを、上記トランジスタの複数の電極の厚さより厚くしたことを特徴とする請求項4記載の半導体装置。

【請求項6】 上記絶縁膜は複数の誘電体膜が積層されてなり、上記複数の誘電体膜の間には、上記トランジスタを含む回路の少なくとも一部を構成する電極が形成され、上記接続用電極と上記表面接地導体はそれぞれ、上記積層された複数の誘電体膜のうち上記半導体基板から最も外側に位置する誘電体膜の表面に形成されたことを特徴とする請求項1乃至5のうちの1つに記載の半導体装置。

【請求項7】 上記トランジスタを含む回路は、上記半導体基板の上記2つの面にそれぞれ形成されたことを特徴とする請求項1乃至6のうちの1つに記載の半導体装置。

【請求項8】 上記半導体基板には厚さ方向に貫通する別のバイアホールが形成され、上記別のバイアホールに別のバイアホール導体が形成され、上記半導体基板の両面にそれぞれ形成された上記トランジスタを含む2つの回路の各1つの電極は、上記別のバイアホール導体を介して接続されたことを特徴とする請求項7記載の半導体装置。

【請求項9】 請求項1乃至8のうちの1つに記載の半導体装置を、各半導体基板の厚さ方向に複数個積層してなる積層型半導体装置であって、互いに隣接する上記各2つの半導体装置の各表面接地導体を互いに接続する接続手段を備えたことを特徴とする積層型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置、特に10高い周波数で使用される半導体装置に関する。

## 【0002】

【従来の技術】 従来は、半導体基板の片面に微細加工や多層配線を施すことにより半導体装置の高集積化・高密度化が図られていた。近年さらに半導体装置の高集積化・高密度化の要求が強まり、半導体チップが積層されて構成された半導体装置が提案されている。

【0003】 図6は、特開昭63-156348号公報で開示された従来例の半導体装置の縦断面図である。図6の半導体装置は、それ半導体デバイス13-1乃至13-4が形成された半導体チップ11-1乃至11-4が積層されてなる。半導体チップ11-1において、バンプ15-11, 15-12は半導体デバイス13-1乃至13-4が形成された半導体基板14-1の上面16-1に形成され、バンプ15-11, 15-12は半導体基板14-1上に形成された内部配線電極(図示せず)によって半導体デバイス13-1に接続されている。バンプ17-11, 17-12は、半導体基板14-1の下面18-1に形成される。そして、バンプ15-11とバンプ17-11とは、半導体基板14-1に形成されたスルーホールの内部に形成された内部配線電極20-1によって接続される。また、バンプ15-12とバンプ17-12とは、半導体基板14-1に形成されたスルーホールの内部に形成された内部配線電極20-1と上面16-1に形成された内部配線電極21-1によって接続されている。絶縁層22-1は半導体基板14-1の上面16-1と下面18-1にそれぞれ形成される。

【0004】 半導体チップ11-2乃至11-4は、上述の半導体チップ11-1と同様に構成され、図6の半導体チップ11-2乃至11-4において、半導体チップ11-1の各部分に対応する部分にはハイフン(ー)の前の符号を同一にして示している。そして、半導体チップ11-1乃至11-4は、積み重ねられて、対向するバンプ同志を熱圧着して接続されている。以上のように半導体チップ11-1乃至11-4を積層して半導体装置を構成することにより、当該半導体装置の高集積化及び高密度化を図っている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、従来例の半導体装置では、半導体チップ11-1の上面16-

1に形成された電極と半導体チップ11-2の下面18-2に形成された電極、半導体チップ11-2の上面16-2に形成された電極と半導体チップ11-3の下面18-3に形成された電極及び半導体チップ11-3の上面16-3に形成された電極と半導体チップ11-4の下面18-4に形成された電極とが互いに電磁的に結合する。これによって、半導体チップ11-1乃至11-4に構成されている回路が互いに干渉して、当該回路が正常に動作しないという問題点があった。また、上述の干渉を防ぐために、半導体チップ11-1乃至11-4の間隔を広くすると半導体チップ間の接続に用いたパンプの長さが長くなるので、半導体装置の厚さを薄くできなかつたり、寄生成分である当該パンプのインダクタンスが大きくなつて、より高い周波数で動作する回路が正常に動作しなくなり、より高い周波数で動作する回路を高密度に構成できないという問題点があった。

【0006】本発明の第1の目的は、以上の問題点を解決して、従来例に比較して、半導体チップに形成された回路と外部の回路との間の干渉を防止でき、かつ回路を高密度に構成することができる半導体装置を提供することにある。

【0007】本発明の第2の目的は、以上の問題点を解決して、従来例に比較して、積層された半導体チップの各回路間の干渉を防止でき、かつより高い周波数で動作する回路を高密度に構成することができ、しかも薄い積層型の半導体装置を提供することにある。

#### 【0008】

【課題を解決するための手段】本発明に係る請求項1記載の半導体装置は、互いに対向する2つの面を有し、上記2つの面のうちの少なくとも一方にトランジスタを含む回路が形成された半導体基板と、上記半導体基板の2つの面にそれぞれ形成された絶縁膜と、上記絶縁膜の表面に形成され、上記回路に接続された接続用電極とを備えた半導体装置であつて、上記接続用電極が形成された部分を除いて上記絶縁膜の表面を覆うように、上記各絶縁膜の表面に表面接地導体を形成したことを特徴とする。

【0009】また、請求項2記載の半導体装置は、請求項1記載の半導体装置において、上記絶縁膜には厚さ方向に貫通するバイアホールが形成され、上記バイアホールにバイアホール導体が形成され、上記トランジスタの複数の電極のうちの1つの電極は、上記回路が形成された面上に上記トランジスタに近接するように形成された内部接地導体と、上記バイアホール導体とを介して上記表面接地導体に接続されたことを特徴とする。

【0010】さらに、請求項3記載の半導体装置は、請求項2記載の半導体装置において、上記バイアホール導体及び上記表面接地導体の各厚さを、上記内部接地導体の厚さより厚くしたことを特徴とする。

【0011】またさらに、請求項4記載の半導体装置

は、請求項1記載の半導体装置において、上記絶縁膜には厚さ方向に貫通するバイアホールが形成され、上記バイアホールにバイアホール導体が形成され、上記トランジスタの複数の電極のうちの1つの電極は、上記バイアホール導体を介して上記表面接地導体に接続されたことを特徴とする。

【0012】また、請求項5記載の半導体装置は、請求項4記載の半導体装置において、上記バイアホール導体及び上記表面接地導体の各厚さを、上記トランジスタの複数の電極の厚さより厚くしたことを特徴とする。

【0013】また、請求項6記載の半導体装置は、請求項1乃至5のうちの1つに記載の半導体装置において、上記絶縁膜は複数の誘電体膜が積層されてなり、上記複数の誘電体膜の間には、上記トランジスタを含む回路の少なくとも一部を構成する電極が形成され、上記接続用電極と上記表面接地導体はそれぞれ、上記積層された複数の誘電体膜のうち上記半導体基板から最も外側に位置する誘電体膜の表面に形成されたことを特徴とする。

【0014】また、請求項7記載の半導体装置は、請求項1乃至6のうちの1つに記載の半導体装置において、上記トランジスタを含む回路は、上記半導体基板の上記2つの面にそれぞれ形成されたことを特徴とする。

【0015】さらに、請求項8記載の半導体装置は、請求項7記載の半導体装置において、上記半導体基板には厚さ方向に貫通する別のバイアホールが形成され、上記別のバイアホールに別のバイアホール導体が形成され、上記半導体基板の両面にそれぞれ形成された上記トランジスタを含む2つの回路の各1つの電極は、上記別のバイアホール導体を介して接続されたことを特徴とする。

【0016】また、請求項9記載の積層型半導体装置は、請求項1乃至8のうちの1つに記載の半導体装置を、各半導体基板の厚さ方向に複数個積層してなる積層型半導体装置であつて、互いに隣接する上記各2つの半導体装置の各表面接地導体を互いに接続する接続手段を備えたことを特徴とする積層型半導体装置。

#### 【0017】

##### 【発明の実施の形態】

【実施形態】図1は、マザーベース40の上に設けられた本発明に係る一実施形態の半導体装置の縦断面図である。

当該半導体装置は、図1に示すように、3つの半導体チップ1, 2, 3が積層されてなり、半導体チップ1, 2, 3はそれぞれ、絶縁膜106, 206, 306の各上面に形成された接地導体101, 201, 301と、絶縁膜107, 207, 307の各下面に形成された接地導体102, 202, 302とを備えたことを特徴とする。

【0018】以下、図面を参照して実施形態の半導体装置の構成を詳細に説明する。まず、図2を参照して、半絶縁性の半導体基板305を備えた半導体チップ3について詳細に説明する。半導体チップ3において、半導体

基板305は、例えばGaAsからなり、半導体基板305の上面の所定の部分に活性層381が形成される。そして、活性層381上にゲート電極308gとソース電極308sとドレイン電極308dが形成され、活性層381とゲート電極308gとソース電極308sとドレイン電極308dとを備えた電界効果トランジスタ308(以下、トランジスタ308という。)が形成される。ここで、半導体基板305としては、Siなどの他の材料からなる半導体基板を用いてもよく、トランジスタ308はバイポーラトランジスタなどの他のトランジスタでもよい。

【0019】また、接地導体303は半導体基板305の上面にトランジスタ308のソース電極308sに接続されて形成され、また、半導体基板305の上面にMIM型のキャパシタ309がトランジスタ308のドレイン電極308dに接続されて形成される。ここで、キャパシタ309は図2に示すように、例えば誘電体膜303を挿設する2つの電極391、392によって構成される。ここで、キャパシタ309の電極392はトランジスタ308のソース電極308sに接続される。さらに、半導体基板305の上面には、キャパシタ309の上部に形成された電極391に接続されてストリップ導体322が形成され、ストリップ導体322に連結された接続用導体322tが形成される。また、半導体基板305の上面には、後述するようにトリプレート線路T21を外部接続用導体312bに接続するための接続用導体324tが形成される。

【0020】以上のようにトランジスタ308と各導体が形成された半導体基板305の上面に誘電体膜306aが形成され、誘電体膜306aの上面にストリップ導体320とストリップ導体320に連結された接続用導体320tとストリップ導体321とストリップ導体321に連結された接続用導体321tとが形成される。また、上述の各導体が形成された誘電体膜306aの上面に誘電体膜306bが形成され、誘電体膜306bの上面の全面に接地導体301が形成される。ここで、誘電体膜306a、306bは、例えばポリイミドなどからなる。しかしながら、本発明はこれに限らず、他の材料からなる誘電体膜を用いてもよい。

【0021】これによって、誘電体膜306bを挿設するストリップ導体320と接地導体301とによって逆マイクロストリップ線路M20が構成され、図5に示すように誘電体膜306aと誘電体膜306bによって構成される絶縁膜306を挿設するストリップ導体322と接地導体301とによって逆マイクロストリップ線路M22が構成される。ここで、逆マイクロストリップ線路M20、M22は、図2に示すように、接地導体301が半導体基板305から最も外側に位置する誘電体膜306bの表面に形成され、ストリップ導体320、322が内側の誘電体膜306aの上面又は半導体基板3

05の上面に形成されている伝送線路である。また、図4に示すように誘電体膜306a、306bを介してストリップ導体321を挿設する接地導体301と接地導体303とによってトリプレート線路T21が構成される。ここで、図1と図2において、逆マイクロストリップ線路M20、M22とトリプレート線路T21の符号は、それぞれストリップ導体320、322、321の符号の後ろの括弧内に付して示している。

【0022】ここで、図2に示すように、接続用導体320tは、誘電体膜306aに設けられたバイアホール362内に形成されたバイアホール導体562によって接続用導体322tに接続され、これによって、逆マイクロストリップ線路M20と逆マイクロストリップ線路M22とは接続される。また、接続用導体321tは誘電体膜306aに設けられたバイアホール363内に形成されたバイアホール導体563によって、半導体基板305の上面に形成された接続用導体324tに接続され、当該接続用導体324tは詳細後述するように外部接続用導体312bに接続され、これによって、トリプレート線路T21は外部接続用導体312bに接続される。また、半導体基板305の上面に形成された接地導体303は、絶縁膜306に形成されたバイアホール361内に形成されたバイアホール導体561によって絶縁膜306の上面に形成された接地導体301に接続される。

【0023】以上のようにして、半導体基板305の上面に、トランジスタ308とキャパシタ309と逆マイクロストリップ線路M20、M22とトリプレート線路T21とからなる回路が構成される。また、同様にして、半導体基板305の下面にはキャパシタ310、接地導体304及び接続用導体325tなどが形成され、半導体基板305の下面には誘電体膜307aが形成される。さらに、誘電体膜307aの下面には接地導体及び接続用導体315などが形成され、誘電体膜307aの下面に誘電体膜307bが形成される。そして、誘電体膜307bの下面には、図2、図3に示すように、外部接続用導体312a、312b、312c、312dと接地導体302が形成される。ここで、接地導体302は、図3に示すように、外部接続用導体312a、312b、312c、312dを形成する部分を除いて、誘電体膜307bの下面を覆うように形成される。

【0024】ここで、接続用導体324tは、図2に示すように半導体基板305に設けられたバイアホール352内に形成されたバイアホール導体552によって、半導体基板305の下面に形成された接続用導体325tに接続され、当該接続用導体325tは誘電体膜307aに設けられたバイアホール373内のバイアホール導体573、誘電体膜307aと誘電体膜307bとの間に形成された接続用導体315及び誘電体膜307bに設けられたバイアホール375内に形成されたバイア

ホール導体575を介して、外部接続用導体312bに接続される。これによって、接続用導体324tに接続されたトリプレート線路T21は外部接続用導体312bに接続される。

【0025】半導体基板305の上面に形成された接地導体303は、半導体基板305に設けられたバイアホール351内に形成されたバイアホール導体551によって半導体基板305の下面に形成された接地導体304に接続され、当該接地導体304は誘電体膜307aと誘電体膜307bとからなる絶縁膜307を貫通するように設けられたバイアホール371内に形成されたバイアホール導体571によって接地導体302に接続される。以上のようにして、トランジスタ308を含んで所定の動作をする回路が形成された半導体チップ3が構成される。

【0026】半導体チップ1, 2は、半導体チップ3と同様に構成される。すなわち半導体チップ1は、図1に示すように、半導体基板105の下面に形成されたトランジスタ108、半導体基板105の上面及び下面に形成された導体、それぞれ2つの誘電体膜(図示せず。)からなる絶縁膜106, 107及び当該絶縁膜106, 107の2つの誘電体膜の間に形成された導体を備え、トランジスタ108を含む所定の回路が形成されている。そして、絶縁膜106の上面には、上述のトランジスタ108を含む回路に接続された外部接続用導体113aが形成され、外部接続用導体113aを形成する部分を除いて、絶縁膜106の上面を覆うように接地導体101が形成され、絶縁膜107の下面には、上述のトランジスタ108を含む回路に接続された外部接続用導体112a, 112bが形成され、外部接続用導体112a, 112bを形成する部分を除いて、絶縁膜107の下面を覆うように接地導体102が形成される。

【0027】半導体チップ2には、半導体基板205の上面に形成されたトランジスタ208、半導体基板205の上面及び下面に形成された導体、それぞれ2つの誘電体膜からなる絶縁膜206, 207及び絶縁膜206, 207の2つの誘電体膜(図示せず。)の間に形成された導体を備え、トランジスタ208を含む所定の回路が形成されている。そして、絶縁膜206の上面には、上述のトランジスタ208を含む回路に接続された外部接続用導体213a, 213bが形成され、外部接続用導体213a, 213bを形成する部分を除いて、絶縁膜206の上面を覆うように接地導体201が形成される。また、絶縁膜207の下面には、外部接続用導体212aが形成され、外部接続用導体212aを形成する部分を除いて、絶縁膜207の下面を覆うように接地導体202が形成される。

【0028】以上のようにしてそれぞれ構成された半導体チップ1, 2, 3は、以下のように互いに接続されてマザー基板40の上面に積層される。ここで、マザー基

板40は、例えばアルミナなどからなり、マザー基板40の上面には、引き出し導体412a, 412b及び接地導体401が形成され、マザー基板40の下面には、接地導体402が形成されている。半導体チップ1は、半導体チップ1の外部接続用導体112aの少なくとも1部がマザー基板40の引き出し導体412aに対向するように、半導体チップ1の外部接続用導体112bの少なくとも1部がマザー基板40の引き出し導体412bに対向するように、かつ半導体チップ1の接地導体102がマザー基板40の接地導体401に対向するように設けられる。そして、半導体チップ1の外部接続用導体112aは、マザー基板40の引き出し導体412aにバンプ81aによって接続され、半導体チップ1の外部接続用導体112bはマザー基板40の引き出し導体412bにバンプ81bによって接続される。また、半導体チップ1の接地導体102はマザー基板40の接地導体401に、バンプ91a乃至91fによって接続される。

【0029】ここで、バンプ81a, 81b, 91a乃至91fは例えばAuからなる。そして、例えばバンプ81aは、外部接続用導体112a上に形成されたバンプと引き出し導体412a上に形成されたバンプとが熱圧着されることによって一体化されてなり、外部接続用導体112aと引き出し導体412aとを接続するとともにマザー基板40上に半導体チップ1を固定する。バンプ81b, 91a乃至91f、後述する半導体チップ2の各導体を半導体チップ1の各導体に接続する場合及び半導体チップ3の各導体を半導体チップ2の各導体に接続する場合に用いるバンプについても同様である。この場合、半導体チップ1はマザー基板40上にバンプ81a, 81b, 91a乃至91fの高さだけ離れて固定される。

【0030】半導体チップ2は、半導体チップ1の外部接続用導体113aと半導体チップ2の外部接続用導体212aとが互いに対向するようにかつ接地導体101と接地導体202とが互いに対向するように、半導体チップ1の上に重ねられて設けられる。そして、外部接続用導体113aと外部接続用導体212aとがバンプ82aによって互いに接続され、接地導体101と接地導体202とが互いにバンプ92a乃至92gによって接続されるとともに、半導体チップ2は半導体チップ1上にバンプ82a, 92a乃至92gの高さだけ離れて固定される。

【0031】半導体チップ3は、半導体チップ2の外部接続用導体213aと半導体チップ3の外部接続用導体312aとが互いに対向し、半導体チップ2の外部接続用導体213bと半導体チップ3の外部接続用導体312bとが互いに対向し、かつ接地導体201と接地導体302とが互いに対向するように半導体チップ2の上に重ねられて設けられる。そして、外部接続用導体213

50

aと外部接続用導体312aとがバンプ83aによって互いに接続され、外部接続用導体213bと外部接続用導体312bとがバンプ83bによって互いに接続される。また、接地導体201と接地導体302とが互いにバンプ93a乃至93fによって接続される。このようにして、半導体チップ3は、バンプ83a, 83b, 93a乃至93fによって、半導体チップ2上に、バンプ83a, 83b, 93a乃至93fの高さだけ離れて固定される。以上のようにして、マザー基板40上に、半導体チップ1, 2, 3が積層された実施形態の半導体装置は構成される。

【0032】以上のようにして構成された本発明に係る実施形態の半導体装置において、半導体チップ1, 2, 3にはそれぞれ、接地導体101, 102、接地導体201, 202、接地導体301, 302が形成されている。これによって、半導体チップ1, 2, 3が積層されたときに、半導体基板105の上面に形成された導体又は絶縁膜106の2つの誘電体膜の間に形成された導体と、半導体基板205の下面に形成された導体又は絶縁膜207の2つの誘電体膜の間に形成された導体とが電磁的に結合することを防ぐことができ、かつ半導体基板205の上面に形成された導体又は絶縁膜206の2つの誘電体膜の間に形成された導体と、半導体基板305の下面に形成された導体又は2つの誘電体膜307a, 307bの間に形成された導体とが電磁的に結合することを防ぐことができる。従って、半導体チップ1に形成された回路と半導体チップ2に形成された回路との間の干渉及び半導体チップ2に形成された回路と半導体チップ3に形成された回路との間の干渉を防ぐことができ、当該各回路の正常な動作を損なわないように積層することができる。

【0033】また、以上のようにして構成された実施形態の半導体装置において、半導体チップ1, 2, 3にはそれぞれ、接地導体101, 102、接地導体201, 202、接地導体301, 302を形成することによって、半導体チップ1, 2, 3に形成された各回路の間の干渉を防止しているので、各半導体チップ間の間隔を十分狭くすることができる。これによって、バンプ82a, 83a, 83bの高さ方向の長さを十分短くできるので、寄生インダクタンスであるバンプ82a, 83a, 83bのインダクタンスを非常に小さくでき、回路の正常な動作を損なわないように積層できるとともに半導体装置の厚さを薄くできる。

【0034】さらに、以上のようにして構成された実施形態の半導体装置において、接地導体101, 102, 201, 202, 301, 302をそれぞれ、絶縁膜106, 107, 206, 207, 306, 307を覆うように広く形成している。そして、半導体チップ1の接地導体102とマザー基板40の接地導体401、半導体チップ1の接地導体101と半導体チップ2の接地導

体202及び半導体チップ2の接地導体201と半導体チップ3の接地導体302との間をそれぞれ、複数のバンプ91a乃至91f、バンプ92a乃至92g及びバンプ93a乃至93fによって接続している。これによって、半導体チップ1の接地導体102とマザー基板40の接地導体401、半導体チップ1の接地導体101と半導体チップ2の接地導体202及び半導体チップ2の接地導体201と半導体チップ3の接地導体302との間の各接地インピーダンスを小さくできる。従って、マザー基板40の接地導体401と半導体チップ1, 2, 3の各接地導体101, 102, 201, 202, 301, 302との間の接地インピーダンスを小さくできるので、半導体チップ1, 2, 3に形成された各回路の正常な動作を損なわないように半導体チップ1, 2, 3を積層できる。

【0035】さらにまた、以上のようにして構成された実施形態の半導体装置によれば、上述したように、寄生インダクタンスであるバンプ82a, 83a, 83bのインダクタンスを非常に小さくでき、かつ接地インピーダンスを小さくできるので、より高い周波数で動作をするアナログ回路や高速デジタル回路を積層して構成することができ、集積化された当該回路を高い密度で形成することができる。

【0036】また、実施形態の半導体装置の半導体チップ1, 2, 3はそれぞれ、接地導体101, 102、接地導体201, 202、接地導体301, 302を備えているので、半導体チップ1, 2, 3を単独で用いた場合においても、半導体チップ1, 2, 3に形成された各回路と外部回路との間の干渉を防ぐことができる。

【0037】また、実施形態の半導体装置においては、半導体チップ1, 2, 3をそれぞれ、積層される前に、予め正常に動作をするかどうかを検査して、正常に動作をするものののみを用いて積層することができる。これによって、実施形態の半導体装置は、製造をする際の製造歩りをよくすることができる。

【0038】さらに、実施形態の半導体装置においては、半導体チップ1, 2, 3にそれぞれ設けられたトランジスタ108, 208, 308によって発生された熱はそれぞれ、絶縁膜107, 206, 306を介して各接地導体102, 201, 301に伝えられて半導体装置の外部に放出される。すなわち、接地導体102, 201, 301はそれぞれ、放熱板としても動作するので、トランジスタ108, 208, 308の活性層における温度の上昇を防止できる。これによって、トランジスタ108, 208, 308の電気的特性の劣化を防止でき、半導体装置の寿命を長くすることができる。

【0039】次に、図面を参照して、本発明に係る変形例について説明する。

〈第1の変形例〉図7は、本発明に係る第1の変形例の半導体装置の部分断面図である。図7の第1の変形例の

半導体装置は、図1の実施形態と同様に、半導体チップ1a, 2aを含む複数の半導体チップがマザー基板40上に積層されて構成され、図7において、図1と同様のものには同様の符号を付して示している。ここで、第1の変形例の半導体装置は、半導体チップ1aの半導体基板105に厚さ方向に貫通するバイアホール151が形成され、半導体基板105の上面に形成されたトランジスタ18のソース電極18sと、半導体基板105の下面に形成されたトランジスタ28のソース電極28sとが、バイアホール151に形成されたバイアホール導体152によって接続されて、トランジスタ18を含む第1の回路11と、トランジスタ28を含む第2の回路12とが接続されたことを特徴とする。

【0040】以下、図7を参照して、第1の変形例の半導体装置の構成を詳細に説明する。半導体基板105には、厚さ方向に貫通するバイアホール151が形成され、半導体基板105の上面には、活性層118が形成される。活性層118上にゲート電極18gとドレイン電極18dとソース電極18sとが形成されてトランジスタ18が形成される。さらに半導体基板105の上面には、トランジスタ18を含んで所定の動作をするように、抵抗(図示せず。)、キャパシタ(図示せず。)等の各素子及び電極が形成されて第1の回路11が形成される。また、半導体基板105の下面には活性層128が形成され、活性層128上にゲート電極28gとドレイン電極28dとソース電極28sとが形成されてトランジスタ28が形成される。さらに半導体基板105の下面には、トランジスタ28を含んで所定の動作をするように、抵抗(図示せず。)、キャパシタ(図示せず。)等の各素子及び電極が形成されて第2の回路12が形成される。

【0041】ここで、第1の変形例では、図7に示すように、半導体基板105の上面には、接地導体171がトランジスタ18のソース電極18sに接続されて形成され、半導体基板105の下面には、トランジスタ28のソース電極28sに接続されて接地導体172が形成される。そして、接地導体171と接地導体172とがバイアホール151に形成されたバイアホール導体152によって接続されて、第1の回路11と第2の回路12とが接続される。すなわち、トランジスタ18のソース電極18sとトランジスタ28のソース電極28sとは、接地導体171とバイアホール導体152と接地導体172とを介して接続されている。従って、例えば、接地導体172を後述するバイアホール導体162を介して接地導体102に接続し、第1と第2の回路12とに所定の素子を接続することによりブッシュブル増幅器を構成することができる。

【0042】また、第1の回路11が形成された半導体基板105の上面に、図1の実施形態と同様に絶縁膜106が形成され、絶縁膜106の上面には、接地導体1

01が形成される。さらに、第2の回路12が形成された半導体基板105の下面に、図1の実施形態と同様に絶縁膜107が形成され、絶縁膜107の下面には、接地導体102が形成される。ここで、接地導体172と接地導体102とは、絶縁膜107に形成されたバイアホール161に形成されたバイアホール導体152を介して接続される。

【0043】以上のように構成された半導体チップ1aは、上面に接地導体401が形成されたマザー基板40の上面の所定の位置に載置され、半導体チップ1aの接地導体102とマザー基板40の接地導体401とがパンプ591a, 591b, 591c, 591dを用いて接続される。半導体チップ1aの上面には、半導体チップ1aと同様に構成され、トランジスタ208aを備えた半導体チップ2aが載置され、半導体チップ1aの接地導体101と半導体チップ2aの接地導体202とが互いにパンプ592a, 592b, 592c, 592dとを用いて接続される。ここで、トランジスタ208aは半導体基板205の下面に形成された活性層281上面にトランジスタ18, 28と同様に形成される。

【0044】以上のようにして、半導体チップ1a, 2aを含む複数の半導体チップがマザー基板40上に構成された第1の変形例の半導体装置は構成される。

【0045】以上のように構成された第1の変形例の半導体装置において、半導体チップ1aは、半導体基板105の下面に形成されたトランジスタ28を含む第2の回路12上面に絶縁膜107を形成して、絶縁膜107の下面に接地導体102を形成して、接地導体102をマザー基板40の接地導体401に接続している。これによつて、第2の回路12の電極が接地導体401に接触することを防止することができるので、半導体基板105の下面にも第2の回路12を形成することができ、従来の片面(上面)にしか回路を形成することができない半導体チップに比較して、高密度の回路を形成できる。

【0046】以上のように構成された第1の変形例の半導体装置において、半導体チップ1aは、半導体基板105の上面に形成された第1の回路11と半導体基板105の下面に形成された第2の回路12とを、半導体基板105に形成されたバイアホール151に形成されたバイアホール導体152によって接続することができるので、第1の回路11と第2の回路12とを容易にかつ任意の位置で接続することができる。

【0047】以上の第1の変形例の半導体装置では、半導体チップ1a, 2aを含む半導体チップのすべてについて、半導体チップ1aと同様に、半導体基板の両面にそれぞれトランジスタを含む回路を構成してもよいし、積層される半導体チップのうち、少なくとも1つの半導体チップの両面にそれぞれ回路を形成するようにしてもよい。

【0048】また、以上の第1の変形例では、接地導体

「171と接地導体172とをバイアホール導体152によって接続して、第1の回路11と第2の回路12とを接続したが、本発明はこれに限らず、接地導体171以外の第1の回路11の電極と、接地導体172以外の第2の回路12の電極とをバイアホール導体152によって接続して、第1の回路11と第2の回路12とを接続するようにしてもよい。」

【0049】<第2の変形例>図8は、本発明に係る第2の変形例の半導体装置の部分断面図であり、マザーベース板40上に積層された半導体チップのうち最上層に位置する半導体チップ3aの一部分の断面を示している。第2の変形例の半導体装置は、図1の半導体装置の半導体チップ3に代えて半導体チップ3aを備えた他は、図1の半導体装置と同様に構成される。また、図8において、図1及び図2と同様のものには同様の符号を付して示している。この第2の変形例の半導体装置において、半導体チップ3aは、図1の実施形態の半導体チップ3に比較して以下の(1)乃至(3)が異なる。

(1) 図1の接地導体301に代えて、接地導体301aに比べて十分厚い接地導体301aが形成される。

(2) パソコン308に近接して、絶縁層306を貫通するバイアホール61が形成される。

(3) バイアホール61に、半導体基板305上に形成された接地導体303と、絶縁層306の上面に形成された接地導体301aとを接続するための、バイアホール導体71を形成する。ここで、バイアホール導体71は接地導体303及び図1の接地導体301に比較して十分厚く形成される。

【0050】ここで、第2の変形例の半導体チップ3aにおいて、接地導体303の厚さT2は、例えば1μmに設定され、接地導体301aの厚さT2及びバイアホール導体71の厚さは、例えば10μmに設定される。また、バイアホール61は、活性層381で発生された熱を、バイアホール導体71を介して容易に接地導体301aに伝達できるように、例えば、トランジスタ308から100μm又は200μm離れた位置にトランジスタ308に近接して設けられる。

【0051】以上のように構成された第2の変形例の半導体装置の半導体チップ3aにおいて、トランジスタ308のドレイン電極308dとソース電極308sとの間の活性層381で発生した熱は、図8の501, 502の符号を付した矢印で示すように、半導体基板305の内部及び接地導体303と、バイアホール導体71とを介して、絶縁層306を覆うように広くかつ厚く形成された接地導体301aに伝達されて放出される。ここで、バイアホール導体71は、トランジスタ308に近接して形成されたバイアホール61に形成され、かつ厚く形成されているので、活性層381で発生した熱は、効率よく接地導体301aに伝達され、厚く形成された接地導体301aによって効率よく放出される。これに

よって、図1の実施形態の半導体装置の半導体チップ3に比較して、トランジスタ308で発生した熱を効率よく半導体装置の外部に放出できる。従って、第2の変形例の半導体装置は、図1の実施形態の半導体装置に比較して、トランジスタ308の動作時の温度上昇を抑えることができる。トランジスタ308の特性が熱によって変動することを抑えることができ、かつトランジスタの発熱量が大きい大電力を扱う回路を形成することができ、しかもトランジスタの寿命を長くできる。

【0052】以上の第2の変形例では、他の半導体チップ1, 2においても半導体チップ3aと同様に構成してもよいし、積層する複数の半導体チップのうちの少なくとも1つを上述のように構成してもよい。

【0053】<第3の変形例>図9は、本発明に係る第3の変形例の半導体装置の部分断面図であり、マザーベース板40上に積層された半導体チップのうち最上層に位置する半導体チップ3bの一部分の断面を示している。この第3の変形例の半導体装置は、以下の点を除いては図8の第2の変形例の半導体装置と同様に構成される。

20 (1) パソコン308のソース電極308s上に、絶縁層306を貫通するバイアホール61aが形成される。

(2) バイアホール61aに、ソース電極308sと絶縁層306の上面に形成された接地導体301aとを接続するための、バイアホール導体71aを形成する。ここで、バイアホール導体71aは、第2の変形例のバイアホール導体71と同様に、接地導体303及び図1の接地導体301に比較して十分厚く形成される。

【0054】以上のように構成された第3の変形例の半導体装置は、第2の変形例の半導体装置と同様の効果を有するとともに、トランジスタ308のソース電極308sを直接、接地導体301aに接続することができる。ソース電極308sと接地導体301aとの間の距離を極めて短くでき、接地インピーダンスを小さくできる。また、接地導体303を広い幅に形成する必要がないので、半導体チップ3bを実施形態の半導体チップ3に比較して小さくできる。

【0055】<他の変形例>以上の実施形態の半導体装置は、3つの半導体チップ1, 2, 3を積層して構成したが、本発明はこれに限らず、2つの半導体チップ又は4以上の数の半導体チップを積層して構成してもよい。以上のように構成しても実施形態と同様の効果を有する。

【0056】また、以上の実施形態の半導体装置において、各半導体チップ1, 2, 3の絶縁膜106, 107, 206, 207, 306, 307はそれぞれ、2つの誘電体膜を積層して構成したが、本発明はこれに限らず、1つの誘電体膜で絶縁膜を構成してもよい。以上のように構成することにより各半導体チップの構成を簡単にできる。

【0057】さらに、以上の実施形態の半導体装置にお

いて、各半導体チップ1, 2, 3の絶縁膜106, 107, 206, 207, 306, 307はそれぞれ、2つの誘電体膜を積層して構成したが、本発明はこれに限らず、3以上の数の誘電体膜を積層することにより絶縁膜を構成してもよい。以上のように構成して、各誘電体膜の間に導体からなる回路を形成し、かつ当該積層された複数の誘電体膜のうち半導体基板から最も外側に位置する誘電体膜の表面に接地導体を形成することにより、実施形態と同様の効果を有するとともに、実施形態の半導体装置に比較して集積化された高密度の半導体装置を構成できる。

【0058】また、実施形態の半導体装置では、A uからなるバンプを用いたが、本発明はこれに限らず、はんだなどからなるバンプを用いて構成してもよい。以上のように構成しても、実施形態と同様の効果を有する。

【0059】また、実施形態の半導体装置では、半導体基板105, 205, 305の各上面と各下面にそれぞれ回路を形成したが、本発明はこれに限らず、少なくとも一方の面（上面又は下面）に回路を形成するようにしてもよい。以上のように構成しても、実施形態と同様の効果を有する。

#### 【0060】

【発明の効果】本発明に係る請求項1記載の半導体装置は、2つの面のうちの少なくとも一方にトランジスタを含む回路が形成された半導体基板と上記半導体基板の2つの面にそれぞれ形成された絶縁膜とを備え、上記接続用電極が形成された部分を除いて上記絶縁膜の表面を覆うように、上記各絶縁膜の表面に接地導体を形成しているので、上記半導体装置に形成された回路と外部の回路との干渉を防ぐことができる。

【0061】また、請求項2記載の半導体装置は、請求項1記載の半導体装置において、上記絶縁膜には厚さ方向に貫通するバイアホールが形成され、上記バイアホールにバイアホール導体が形成され、上記トランジスタの複数の電極のうちの1つの電極は、上記回路が形成された面に上記トランジスタに近接するように形成された内部接地導体と、上記バイアホール導体とを介して上記表面接地導体に接続されている。これによって、上記トランジスタで発生された熱は、内部接地導体と上記バイアホール導体とを介して上記表面接地導体に伝達されて外部に放出される。

【0062】また、請求項3記載の半導体装置は、請求項2記載の半導体装置において、上記バイアホール導体及び上記表面接地導体の各厚さを、上記内部接地導体の厚さより厚くしているので、上記トランジスタで発生された熱は、内部接地導体と上記バイアホール導体とを介して上記表面接地導体に効率よく伝達されて効率よく外部に放出される。

【0063】さらに、請求項4記載の半導体装置は、上記絶縁膜には厚さ方向に貫通するバイアホールが形成さ

れ、上記バイアホールにバイアホール導体が形成され、上記トランジスタの複数の電極のうちの1つの電極は、上記バイアホール導体を介して上記表面接地導体に接続されている。これによって、上記トランジスタで発生された熱を、内部接地導体と上記バイアホール導体とを介して上記表面接地導体に伝達して外部に放出することができ、かつ表面接地導体に接続された上記トランジスタの電極の接地インピーダンスを小さくできる。

【0064】また、請求項5記載の半導体装置は、上記バイアホール導体及び上記表面接地導体の各厚さを、上記トランジスタの複数の電極の厚さより厚くしているので、上記トランジスタで発生された熱を、内部接地導体と上記バイアホール導体とを介して上記表面接地導体に効率良く伝達して効率良く外部に放出することができ、しかも表面接地導体に接続された上記トランジスタの電極の接地インピーダンスを小さくできる。

【0065】また、請求項6記載の半導体装置において、上記絶縁膜は複数の誘電体膜が積層されてなり、上記複数の誘電体膜の間には、上記トランジスタを含む回路の少なくとも一部を構成する電極が形成される。これによって、上記絶縁膜を1つの誘電体膜によって構成した場合に比較して、上記トランジスタを含む回路を高密度に形成することができる。

【0066】さらに、請求項7記載の半導体装置において、上記トランジスタを含む回路は、上記半導体基板の上記2つの面にそれぞれ形成されるので、上記半導体基板の1つの面にのみ回路を形成した場合に比較して、上記トランジスタを含む回路を高密度に形成することができる。

【0067】また、請求項8記載の半導体装置は、請求項7記載の半導体装置において、上記半導体基板には厚さ方向に貫通する別のバイアホールが形成され、上記別のバイアホールに別のバイアホール導体が形成され、上記半導体基板の両面にそれぞれ形成された上記トランジスタを含む2つの回路の各1つの電極は、上記別のバイアホール導体を介して接続されている。これによって、上記トランジスタを含む2つの回路を容易にかつ任意の位置で接続することができる。

【0068】さらに、請求項9記載の積層型半導体装置は、請求項1乃至8のうちの1つに記載の半導体装置を、各半導体基板の厚さ方向に複数個積層し、上記各半導体装置の各接地導体を互いに接続する接続手段を備えているので、従来例に比較して、積層された半導体装置の各回路間の干渉を防止でき、かつ高い周波数で動作する回路を高密度に構成することができ、しかも薄い積層型の半導体装置を提供できる。

#### 【図面の簡単な説明】

【図1】 マザーベース40上に構成された本発明に係る実施形態の半導体装置の縦断面図である。

【図2】 図1の半導体チップ3の一部分解斜視図であ

る。

【図3】 図1の半導体チップ3を下から見たときの平面図である。

【図4】 図1の半導体チップ3のトリプレート線路T21の上下面に垂直な面における縦断面図である。

【図5】 図1の半導体チップ3の逆マイクロストリップ線路M22の上下面に垂直な面における縦断面図である。

【図6】 従来例の半導体装置の縦断面図である。

【図7】 本発明に係る第1の変形例の半導体装置の部分縦断面図である。

【図8】 本発明に係る第2の変形例の半導体装置の部分縦断面図である。

【図9】 本発明に係る第3の変形例の半導体装置の部分縦断面図である。

【符号の説明】

1, 2, 3, 1a, 2a, 3a…半導体チップ、  
11…第1の回路、

12…第2の回路、

18, 28, 108, 208, 208a, 308…トランジスタ、

18d, 28d, 308d…ドレイン電極、

18g, 28g, 308g…ゲート電極、

18s, 28s, 308s…ソース電極、

M20, M22…逆マイクロストリップ線路、

T21…トリプレート線路、

40…マザーベース、

61, 61a, 151, 161, 361, 362, 363, 371, 372, 373, 374, 375…バイアホール、

71, 71a, 152, 162, 561, 562, 563, 571, 572, 573, 574, 575…バイアホール導体、

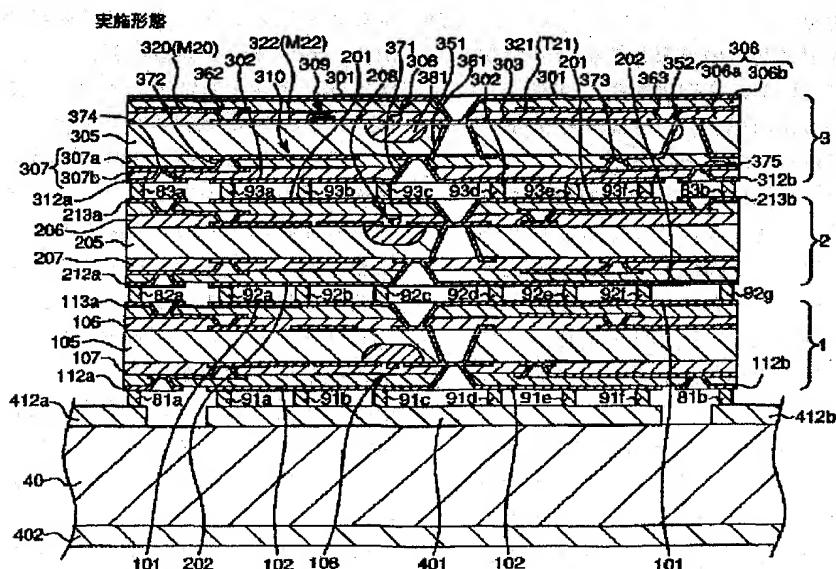
81a, 81b, 82a, 83a, 83b, 91a乃至91f, 92a乃至92g, 93a乃至93f, 591a乃至591d, 592a乃至592d…パンプ、  
101, 102, 171, 172, 201, 202, 301, 301a, 302, 303, 401, 402…接地導体、

105, 205, 305…半導体基板、  
106, 107, 206, 207, 306, 307…絶縁膜、

112a, 112b, 113a, 212a, 213a, 213b, 312a, 312b, 312c, 312d…外部接続用導体、

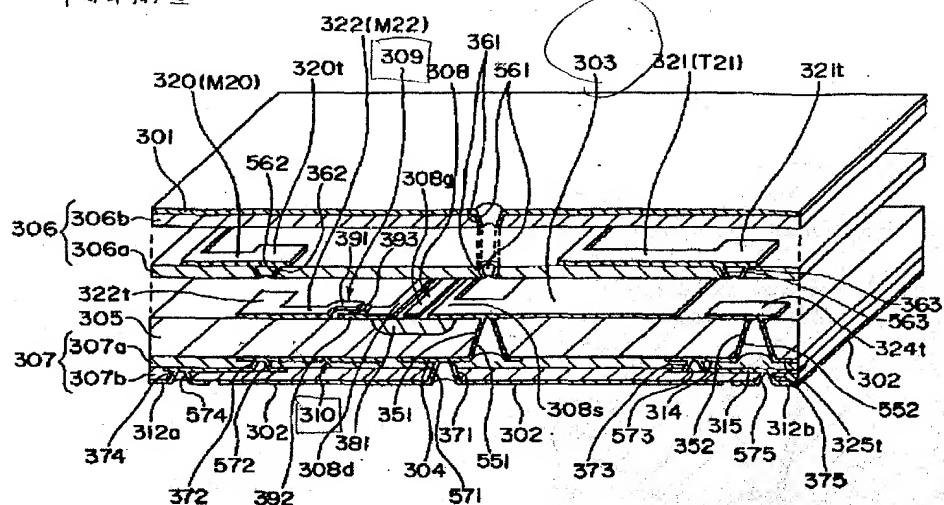
20 306a, 306b, 307a, 307b…誘電体膜、  
309, 310…キャバシタ、  
315…接続用導体、  
320, 321, 322…ストリップ導体、  
320t, 321t, 324t, 325t…接続用導体、  
412a, 412b…引き出し導体。

【図1】

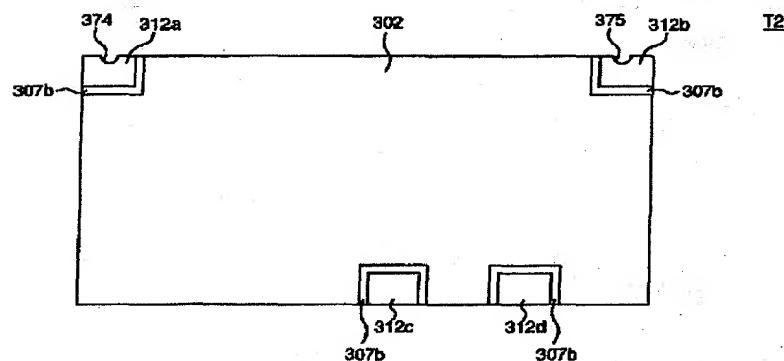


【図2】

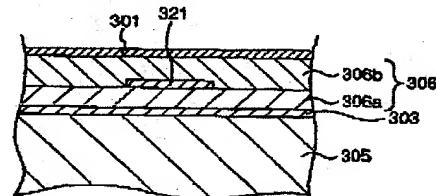
半導體九下3



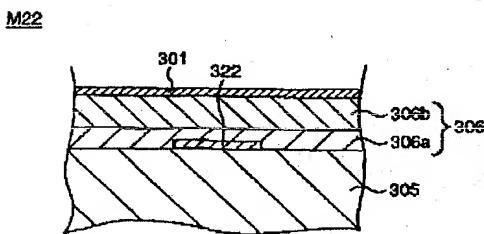
【図3】



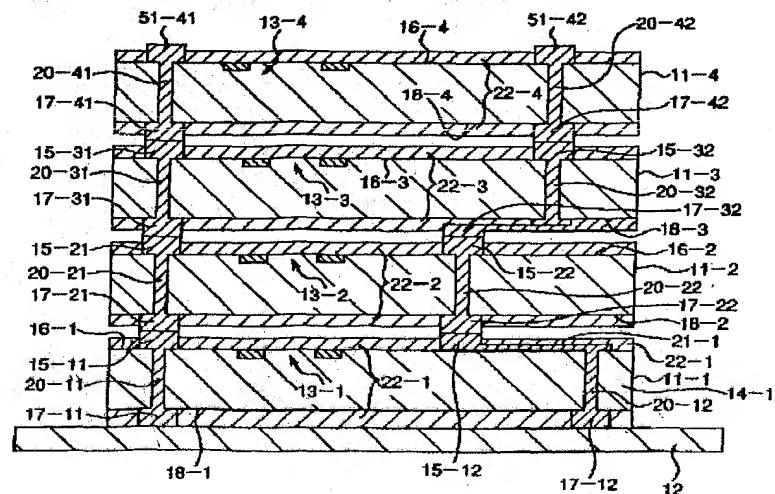
【図4】



【図5】

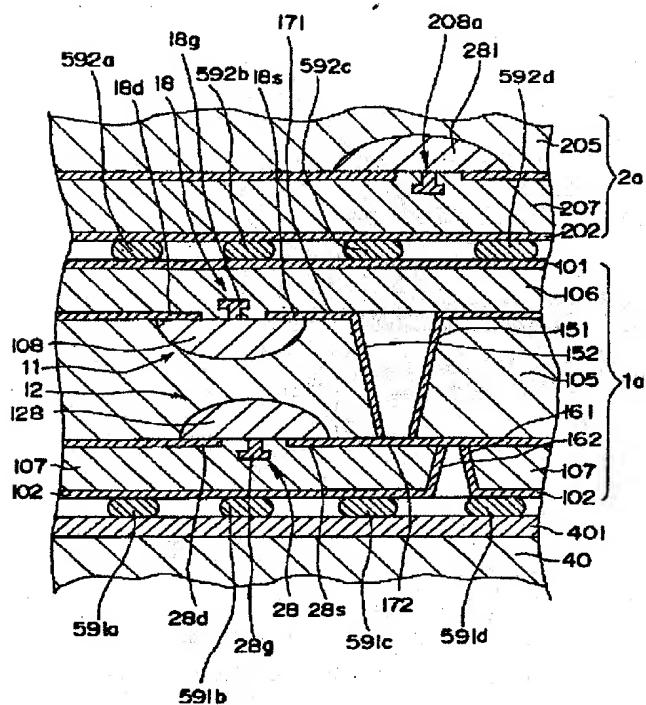


【 6】



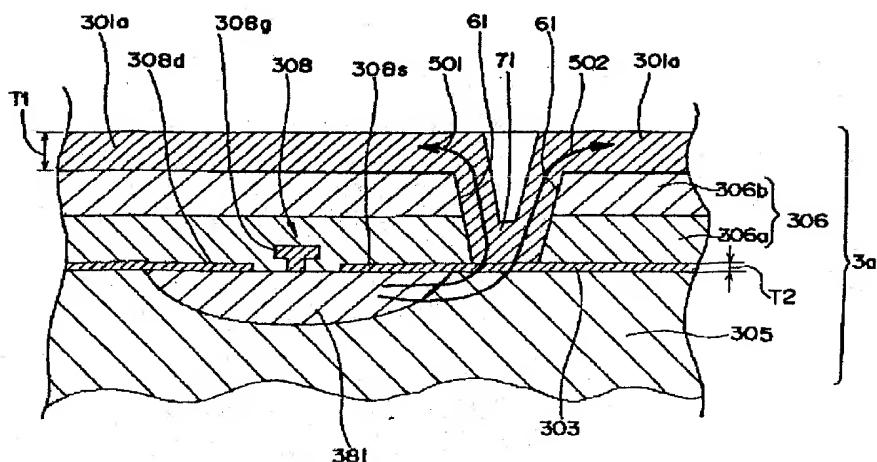
【図7】

### 第1の変形例



(図 8)

## 第2の変形例



【図9】

## 第3の変形例

